

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0070044
Application Number

출원년월일 : 2002년 11월 12일
Date of Application NOV 12, 2002

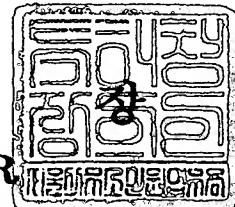
출원인 : 한국과학기술원
Applicant(s) Korea Advanced Institute of Science and Technology



2003년 05월 17일

특허청

COMMISSIONER





1020020070044

출력 일자: 2003/5/22

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.12
【발명의 명칭】	기생 베이스-콜렉터 커패시턴스 감소를 위한 베이스 패드 레이아웃과 그를 이용한 HBT의 제조방법
【발명의 영문명칭】	Base pad layout for reducing parasitic base-collector capacitance and fabricating method of HBT
【출원인】	
【명칭】	한국과학기술원
【출원인코드】	3-1998-098866-1
【대리인】	
【성명】	이종일
【대리인코드】	9-1998-000471-4
【포괄위임등록번호】	2000-039220-2
【발명자】	
【성명의 국문표기】	양경훈
【성명의 영문표기】	YANG,Kyoung Hoon
【주민등록번호】	620205-1690411
【우편번호】	305-701
【주소】	대전광역시 유성구 구성동 한국과학기술원 전기및전자공학과
【국적】	KR
【발명자】	
【성명의 국문표기】	송용주
【성명의 영문표기】	SONG,Yong Joo
【주민등록번호】	760908-1067510
【우편번호】	305-701
【주소】	대전광역시 유성구 구성동 한국과학기술원 전기및전자공학과
【국적】	KR
【공개형태】	학술단체 서면발표
【공개일자】	2002.05.13



1020020070044

출력 일자: 2003/5/22

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이종일 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 398,000 원

【감면사유】 정부출연연구기관

【감면후 수수료】 199,000 원

【첨부서류】 1. 공지예외적용대상(신규성상실의예외, 출원시의특례)규정
을 적용받 기 위한 증명서류[학술단체 서면발표 사본]_1통



【요약서】

【요약】

본 발명은 기생 베이스-콜렉터 커패시턴스 감소를 위한 베이스 패드 레이아웃과 그를 이용한 HBT의 제조방법에 관한 것이다.

본 발명은 반도체 기판에 대해 $<01\bar{1}>$ 또는 $<011>$ 방향에 평행하게 정렬된 베이스 영역과, 상기 베이스 영역에 일정각도 경사진 베이스 패드영역과, $<010>$ 방향으로 정렬되고 상기 베이스 영역과 베이스 패드영역을 연결하는 베이스 피딩영역을 포함하는 기생 베이스-콜렉터 커패시턴스 감소를 위한 베이스 패드 레이아웃을 제공한다.

본 발명에 따른 상기 베이스 패드 레이아웃과, 간단한 습식식각을 이용하여 활성 베이스 영역과 베이스 패드영역을 격리(isolation)시켜 베이스 패드에 의한 베이스-콜렉터 기생 커패시턴스를 효과적으로 감소시킬 수 있다.

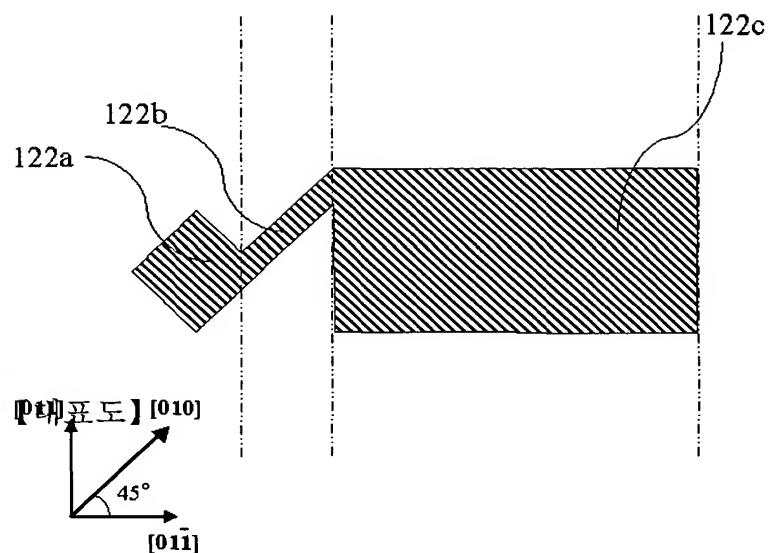
이 방법은 기존에 널리 알려진 습식식각을 이용한 3단 메사 HBT 제조방법과 동일하며, 베이스 패드 레이아웃의 수정만으로 구현될 수 있기 때문에 추가 공정없이 구현될 수 있는 장점이 있다.

【대표도】



1020020070044

출력 일자: 2003/5/22



【색인어】

HBT, 베이스 패드 레이아웃, 베이스-콜렉터 커판시턴스, 베이스 패드 격리



【명세서】

【발명의 명칭】

기생 베이스-콜렉터 커파시턴스 감소를 위한 베이스 패드 레이아웃과 그를 이용한 HBT의 제조방법 {Base pad layout for reducing parasitic base-collector capacitance and fabricating method of HBT}

【도면의 간단한 설명】

도 1은 본 발명에 따른 베이스 패드 레이아웃 평면도로서, 도 1a은 $<01\bar{1}>$ 방향정렬이고 도 1b은 $<011>$ 방향정렬이다.

도 2는 본 발명에 적용되는 HBT의 반도체 기판 적층구조 단면도이다.

도 3a 내지 도 3f는 본 발명에 따른 HBT 소자의 제조공정에 따른 단면도이다.

도 4는 본 발명에 의해 제조된 HBT 소자의 구조도이다.

도 5는 본 발명에 의해 제조된 HBT 소자의 전자현미경 사진이다.

< 도면의 주요부분에 대한 부호의 설명 >

111 : 준절연 InP 기판 112 : 에미터캡 InGaAs층

113 : 에미터 InP층 114 : 베이스-콜렉터 InGaAs층

115 : 식각정지 InP층 116 : 서브콜렉터 InGaAs층

121 : 에미터 메탈층 122 : 베이스 메탈층

122a : 베이스 패드영역 122b : 베이스 피딩영역,



122c : 베이스 영역 123 : 콜렉터 메탈층

131, 132 : 포토레지스트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 기생 베이스-콜렉터 커파시턴스 감소를 위한 베이스 패드 레이아웃과 그를 이용한 HBT의 제조방법에 관한 것으로서, 더 상세하게는 간단한 베이스 패드 레이아웃을 이용해, 복잡한 공정을 거치지 않고 습식식각을 이용한 3단 메사 이중접합 바이폴라 트랜지스터(HBT) 제조방법을 이용해서 활성 베이스 영역과 베이스 패드영역을 격리시켜, 베이스 패드에 의한 베이스-콜렉터 커파시턴스를 줄일 수 있는 수 HBT 제조방법에 관한 것이다.

<15> 최근 인터넷의 폭발적인 보급으로 인해 이에 대한 수요증가가 급속도로 증가하고 있고, 단순한 문자나 그림같은 저용량 데이터의 전송을 넘어서 동영상같은 고용량 데이터 전송에 대한 수요증가로 초고속 광대역 유무선 통신에 대해 전세계적으로 연구가 활발하다.

<16> 이러한 초고속 광대역 통신망은 LMDS(Local Multipoint Distribution Services : 28GHz 대역)의 무선 통신망, OC-768(40Gbps급 광통신망)의 유선 광통신망을 예로 들 수 있다.



<17> 앞으로도 정보서비스의 수요증가로 인해서 보다 많은 대역폭을 제공하여야 할 것이며 이로 인해 100GHz 이상의 대역을 사용하는 초고속 광대역 통신에 대한 연구가 진행되고 있다.

<18> 이와 같은 초고속 광대역 통신망을 구축하기 위해서는 고주파 대역에서 동작하는 초고주파 반도체 소자의 개발과 소자의 소형화, 고성능화가 매우 중요하다.

<19> 이에 따라 초고속 동작이 가능한 반도체 소자의 연구들이 진행되고 있다.

<20> 특히 이종접합 바이폴라 트랜지스터(HBT; Heterojunction Bipolar Transistor)는 초고속 광대역 통신망의 송수신단에서 사용할 수 있는 초고주파 반도체 소자로서 주목받고 있으며 이 소자의 기생 성분(Parasitic Component)을 줄여 보다 빠른 초고속 동작을 구현하려는 연구가 활발히 진행되고 있다.

<21> 이런 기생 성분 중에서 HBT의 초고속 동작은 베이스-콜렉터 커패시턴스(Base-Collector capacitance)에 제한되는 것으로 알려져 있으며, 초고속 동작을 위해서 베이스-콜렉터 커패시턴스를 줄이는 방법에 대해 많은 연구가 진행되어 왔다.

<22> 상기 HBT의 동작속도(f_{\max} : Maximum Oscillation Frequency)는 아래의 수학식 1과 같이 베이스 저항(R_B)과 베이스-콜렉터 커패시턴스(C_{BC})와 전류이득 차단 주파수(f_T : Current Gain Cutoff Frequency)로 근사화 할 수 있다.

<23> 【수학식 1】
$$f_{\max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}}$$

<24> 상기 수학식 1에서 알 수 있듯이 HBT의 동작속도는 베이스-콜렉터 커패시턴스(C_{BC})의 감소로 증가될 수 있음을 알 수 있다.

<25> 상기 베이스-콜렉터 커패시턴스는 크게 활성 베이스 영역(active base region)에 의한 커패시턴스와 연결선 비아(interconnect via)를 위한 베이스 패드(base pad)에 의한 커패시턴스로 나눌 수 있다.

<26> 최근 소자공정 기술의 발달로 활성영역(active region)이 소형화(scale down) 되면서 활성 베이스 영역은 같은 비율로 작아지고 있는 추세이나, 베이스 패드의 경우 비아 공정(Via Process)의 어려움으로 소형화가 어려운 실정이다.

<27> 이런 실정을 대변하듯이 최근 기술은 베이스 영역과 베이스 패드 영역의 크기가 거의 같은 수준에 도달해 있다.

<28> 즉, 소자의 소형화가 이루어짐에 따라, 베이스 패드에 의한 기생 커패시턴스가 베이스 영역에 의한 기생 커패시턴스의 크기와 비슷한 수준에 도달되어 있으며, 소자의 베이스-콜렉터 커패시턴스 감소 측면에서 보면 베이스 패드 영역에 의한 커패시턴스를 감소시키는 것이 매우 중요함을 알 수 있다.

<29> 상기 HBT의 베이스 패드에 의한 베이스-콜렉터 커패시턴스를 줄이는 데에 적용시킬 수 있는 종래 기술로는, 미국 특허 US4,380,774(발명의 명칭 : High-performance bipolar microwave transistor)와, US5,672,522(발명의 명칭 : Method for making selective subcollector heterojunction bipolar transistors) 등이 있다.

<30> 이들 발명은 베이스-콜렉터 커패시턴스를 줄이기 위해서 이온 주입(ion implantation)이나 에피택시 재성장(epitaxy regrowth) 등의 방법을 이용하였으나 이온 주입기와 같은 고가의 공정장비를 필요로 하거나, 신뢰성과 재현성 문제가 발생하는 에피택시 재성장 공정을 필요로 한다.

<31> 이와 다른 종래 기술로는 이중 폴리이미드 평탄화 공정 기술(Hyunchol Shin, Gaessler C., Leier H., "Reduction of base-collector capacitance in InP/InGaAs HBT's using a novel double polyimide planarization process", IEEE Electron Device Letters, Volume: 19 Issue: 8, pp 297-299, Aug. 1998)을 이용한 방법이 있으나, 공정 기술이 매우 복잡하고 전식식각(Reactive Ion Etching)을 사용함으로써 HBT 소자가 손상(damage)을 입을 우려가 있다.

【발명이 이루고자 하는 기술적 과제】

<32> 이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로서, 간단한 베이스 패드 레이아웃을 이용해, 복잡한 공정을 거치지 않고 값싸고 기존의 널리 알려진 습식식각을 이용한 3단 메사(triple mesa) HBT 제조방법을 그대로 이용해서 활성 베이스 영역과 베이스 패드영역을 격리시켜, 베이스 패드에 의한 베이스-콜렉터 커패시턴스를 줄여 HBT 소자의 동작속도를 높일 수 있는 기생 베이스-콜렉터 커패시턴스 감소를 위한 베이스 패드 레이아웃과 그를 이용한 HBT의 제조방법을 제공하는데 그 목적이 있다.

<33> 상술한 목적을 달성하기 위하여 본 발명은, 반도체 기판에 대해 $<01\bar{1}>$ 또는 $<011>$ 방향에 평행하게 정렬된 베이스 영역과, 상기 베이스 영역에 일정각도 경사진 베이스 패드영역과, $<010>$ 방향으로 정렬되고 상기 베이스 영역과 베이스 패드영역을 연결하는 베이스 피딩영역을 포함하는 기생 베이스-콜렉터 커패시턴스 감소를 위한 베이스 패드 레이아웃을 제공하고자 한다.

<34> 상술한 목적을 달성하기 위하여 본 발명은, 3단 메사(triple mesa) 방식으로 HBT를 제조하는 방법에 있어서;

<35> 베이스 영역과 베이스 패드영역을 분리시키고 이를 베이스 피딩영역으로 연결하여 베이스 패드 레이아웃을 형성하는 제1공정과, 준절연 InP 기판 위에 서브콜렉터 InGaAs 층/식각정지 InP층/베이스-콜렉터 InGaAs층/에미터 InP층/에미터캡 InGaAs층을 적층성장법으로 순서대로 적층하는 제2공정과, 제2공정에 의해 적층된 구조물 상에 에미터 메탈을 증착하고, 베이스 메탈이 자기정렬이 가능하게 에미터캡 InGaAs층과 에미터 InP층을 순차적으로 식각하여 베이스-콜렉터 InGaAs층의 상부면이 노출시킨 후, 상기 베이스 패드 레이아웃을 마스크로 이용해 베이스 메탈을 증착시키는 제3공정과, 에미터 영역을 보호하기 위한 제1포토레지스트를 베이스 영역과 베이스 피딩영역의 일부에 정의하는 제4공정과, 상기 제1포토레지스트와 베이스 메탈층을 식각마스크로 이용하여 베이스-콜렉터 InGaAs층과 식각정지 InP층을 식각하여 서브콜렉터 InGaAs층의 상부면을 노출시키고 측면 식각을 이용해 베이스 피딩 아래 부분에 공동(void)부분을 형성하는 제5공정과, 상기 서브콜렉터 InGaAs층에 콜렉터 메탈을 증착시키는 제6공정과, 에미터와 베이스 영역 아래 부분을 보호하기 위해 제2포토레지스트를 정의한 후 서브콜렉터 InGaAs층을 측면 식각하여 베이스 패드영역과 베이스 영역을 격리시키고 제2포토레지스트를 제거하는 제7공정으로 구성됨을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법을 제공하고자 한다.

【발명의 구성 및 작용】

<36> 이하 본 발명의 실시예에 대하여 첨부된 도면을 참고로 그 구성 및 작용을 설명하기로 한다.

<37> 본 발명은 단일 이종접합 바이폴라 트랜지스터(Single HBT : SHBT)와 이중 이종접합 바이폴라 트랜지스터(Double HBT : DHBT)에 모두 적용할 수 있는 것으로, 이후에서는 SHBT을 기준으로 설명한다.

<38> 도 1은 베이스 패드 레이아웃으로 도 3a의 베이스 메탈층(122)을 증착하기 위한 마스크 레이아웃이다.

<39> 반도체 기판에 대해 $<01\bar{1}>$ 또는 $<011>$ 방향에 평행하게 정렬된 베이스 영역(122c)과, 상기 베이스 영역(122c)에 일정각도(45°) 경사진 사각 형태(정사각형 또는 직사각형)의 베이스 패드영역(122a)과, $<010>$ 방향으로 정렬되고 상기 베이스 영역(122c)과 베이스 패드영역(122a)을 연결하는 베이스 피딩영역(122b)으로 구성된다.

<40> 베이스 영역(122c)과 베이스 패드영역(122a)을 분리시키고 이를 베이스 피딩영역(122b)으로 연결하여 구성한 것이 본원발명의 특징으로서, 종래 베이스영역의 일부를 확장한 부분에 베이스 패드영역을 정의한 것과 차별화된다.

<41> 궁극적으로 이러한 구조는 도 3c에서 보는 바와 같이 베이스 피딩영역(122b) 아래 부분을 측면 식각하여 베이스 패드영역(122a)과 베이스 영역(122c) 사이에 공동(void)부분을 형성하기 위한 구조이다.

<42> 이러한 베이스 패드 레이아웃은, InGaAs층을 습식식각시에 $<01\bar{1}>$ 또는 $<011>$ 방향 보다는 $<010>$ 방향으로 식각 속도가 빠르다는 것과, InP층을 습식식각시에 $<011>$ 방향으로의 측면 식각은 거의 일어나지 않는 것에 기초를 둔다.

<43> 상기 레이아웃을 활용해 도 3e와 같이 베이스 피딩영역(122b)의 아래부분에는 전기적으로 준절연인 준절연(Semi-Insulating) InP 기판(111)을 제외한 모든 적층 구조물을 식각하여 베이스-콜렉터 커패시턴스를 감소시킬 수 있다.

<44> 또한 베이스 패드영역(122a)과 베이스 영역(122c)을 분리시켜 베이스 패드에 의한 기생 커패시턴스를 HBT 소자의 베이스-콜렉터 커패시턴스로부터 전기적으로 격리시킬 수 있다.

<45> 베이스 패드영역(122a) 아래의 InP_층/InGaAs_층은 단순히 베이스 패드영역(122a)를 지지하는 포스트(Post) 역할만 할 뿐, 전기적으로는 아무런 역할이 없기 때문에 베이스 패드에 의한 베이스-콜렉터 커패시턴스가 현저히 감소하게 된다.

<46> 도 2는 본 발명에 필요한 적층구조로서 InP/InGaAs SHBT 또는 DHBT의 일반적인 구조이다.

<47> 준절연 InP 기판(111) 위에 서브콜렉터 InGaAs_층(116)/식각정지(Etch stop) InP_층(115)/베이스-콜렉터 InGaAs_층(114)/에미터 InP_층(113)/에미터캡 InGaAs(112)_층을 유기 금속화학기상증착(MOCVD), 분자선 에피택시(MBE)와 같은 적층성장법을 이용하여 순서대로 적층하여 형성한다.

<48> 도 3a 내지 도 3f는 본 발명에 따른 HBT 소자의 제조공정에 따른 단면도이다.

<49> 도 2와 같은 적층구조 위에 도 3a와 같이 <01¹1> 또는 <011> 방향으로 정렬된 에미터 메탈_층(121)을 증착하고 베이스 메탈_층(122)이 자기정렬이 가능하게 에미터캡 InGaAs_층(112)과 에미터 InP_층(113)을 순차적으로 식각한 후, 도 1의 베이스 패드 레이

아웃(122a, 122b, 122c)을 마스크(Mask)로하여 베이스-콜렉터 InGaAs층(114)의 상부에 베이스 메탈층(122)를 증착한다.

<50> 이어서, 도 3b와 같이 에미터 영역을 보호하기 위한 포토레지스터(131)를 베이스 피딩 영역(122b)의 일부와 베이스 영역(122c) 일부 위에 정의한다.

<51> 이후 도 3c와 같이 포토레지스터(131) 패턴과 베이스 메탈층(122)을 식각마스크로 이용하여 베이스-콜렉터 InGaAs층(114)과 식각정지 InP층(115)을 차례로 식각하고 서브 콜렉터 InGaAs층(116)의 상부를 드러낸다.

<52> 이 공정에서 격자 방향에 따른 식각속도 차이로 인해 격자 방향에 따라 다르게 식각되는 비등방성 식각특성을 이용해서 베이스 피딩 영역의 아래부분을 측면 식각하여 베이스 패드영역과 베이스 영역을 격리시킨다.

<53> 이 때, 사용된 식각액은 베이스-콜렉터 InGaAs층(114)에 $H_3PO_4:H_2O_2:H_2O$ 를 사용한다.

<54> 상기 $H_3PO_4:H_2O_2:H_2O$ 의 식각액은 베이스-콜렉터 InGaAs층(114) 아래 식각정지 InP 층(115)과의 선택비(selectivity)가 매우 높아 식각정지층은 거의 식각되지 않는다.

<55> 또한 식각정지 InP층(115)을 식각할 때에는 $HC1:H_3PO_4$ 를 사용하여 마찬가지로 아래의 서브콜렉터 InGaAs층(116)과의 선택비가 매우 높아 서브콜렉터 InGaAs층(116)은 거의 식각되지 않는다.

<56> 바꾸어 말하면 상기 식각액으로 식각시 서브콜렉터 InGaAs층(116)과 식각정지 InP 층(115)을 선택적으로 식각할 수 있으며, 약간의 과도 식각(Over Etching)을 하더라도 큰 문제는 없다.

<57> 상기 공정에서 베이스 피딩영역 아래 부분(도 3c의 왼쪽 베이스 메탈층(122) 아래의 공동부분)은 $<010>$ 방향으로 정렬되어 있기 때문에 빠른 속도로 측면 식각이 일어나게 되어 공동부분(Void)이 형성된다.

<58> 이때 식각 속도는 식각액의 종류, 농도 및 온도에 의해 결정된다.

<59> 이후 도 3d과 같이 서브콜렉터 InGaAs층(116) 상부에 콜렉터 메탈층(123)을 증착한다.

<60> 이후 도 3e와 같이 베이스 패드영역(122a)을 제외한 부분의 상부에 포토레지스트(132)를 정의하여 보호한 뒤 서브콜렉터 InGaAs층(116)을 식각한다.

<61> 이 공정에서 격자 방향에 따른 식각속도 차이로 인해 격자 방향에 따라 다르게 식각되는 비등방성 식각특성을 이용해서 베이스 피딩영역의 아래부분을 측면 식각하여 베이스 패드영역과 베이스 영역을 격리시킨다.

<62> 이 때, 식각액은 베이스-콜렉터 InGaAs층(114) 식각에 사용된 $H_3PO_4:H_2O_2:H_2O$ 를 사용한다.

<63> 상기 $H_3PO_4:H_2O_2:H_2O$ 의 식각액은 아래의 준절연 InP 기판(111)과의 선택비가 매우 높아 식각정지 InP(115)층은 거의 식각되지 않는다.

<64> 이때 식각 속도는 식각액의 종류, 농도 및 온도에 의해 결정된다.

<65> 상기 공정에서 베이스 피딩영역(122b) 아래부분에는(공동부분이 형성된 부분) 준절연 InP 기판(111)을 제외한 모든 적층 구조물을 식각해냄으로써 베이스-콜렉터 커패시턴스를 감소시킬 수 있다.

<66> 또한 베이스 패드영역(122a) 부분과 베이스 영역(122c)이 분리되어 전기적으로는 격리가 이루어진다.

<67> 베이스 패드영역 아래의 InP층/InGaAs층은 단순히 베이스 패드영역을 지지하는 지지대(Post) 역할만 할 뿐 전기적으로는 아무런 역할이 없기 때문에 베이스 패드에 의한 베이스-콜렉터 커파시턴스를 현저히 감소할 것이다.

<68> 마지막으로 도 3f에 도시된 바와 같이 포토레지스트(132)를 제거하여 최종적인 HBT 구조를 완성한다.

<69> 상기한 단일 HBT(SHBT)에서 베이스 콜렉터층으로 사용되는 InGaAs층(114)은 이중 HBT(DHBT)일 경우에 베이스층이 되고, 단일 HBT(SHBT)에서 식각정지층으로 사용되는 InP 층(115)은 이중 HBT(DHBT)일 경우에 콜렉터층이 된다.

<70> 도 4는 도 2를 포함한 도 3a 내지 도 3f까지의 공정에 의한 최종 HBT 구조를 나타내는 사시도이다.

<71> 도 5는 도 2를 포함한 도 3a 내지 도 3d까지의 공정에 의한 HBT의 전자현미경 사진이다.

<72> 상기 도 4와 도 5을 통해 본 발명이 이루고자 하는 바를 확인할 수 있다.

<73> 이상에서와 같이, 본 발명은 베이스 패드 레이아웃과 간단한 습식식각을 이용하여 활성 베이스 영역과 베이스 패드영역을 격리(isolation)시켜 베이스 패드에 의한 베이스-콜렉터 기생커파시턴스를 효과적으로 감소시킬 수 있다.

<74> 또한, 상기한 방법은 기존에 널리 알려진 습식식각을 이용한 3단 메사 HBT 제조방법이며, 베이스 패드 레이아웃의 수정만으로 구현할 수 있기 때문에 추가 공정없이 구현될 수 있는 장점이 있다.

【발명의 효과】

<75> 이상에서 살펴본 바와 같이, 본 발명에 따르면 기존의 초고속 소자에서 효과적으로 해결하지 못했던 베이스 패드에 의한 베이스-콜렉터 커패시턴스를 줄이기 위해 측면 식각을 이용한 베이스 패드영역과 베이스 영역을 분리하기 위한 베이스 패드 레이아웃이 제공된다.

<76> 상기한 새로운 베이스 패드 레이아웃은 HBT 제조에 있어서, 추가적인 공정없이 기존 공정을 그대로 활용할 수 있기 때문에 신공정 개발 비용이나 별도의 장비가 필요없고, 개발에 필요한 시간을 대폭 감소시킬 수 있기 때문에 상당한 경제적인 효과를 얻을 수 있다.

<77> 또한, 이러한 베이스 패드 레이아웃은 비단 InP/InGaAs HBT 뿐만 아니라 이종접합 전계효과 트랜지스터(Heterojunction Field Effect Transistor : HFET), 광수신 다이오드(Photo Diode), 광수신증폭 트랜지스터(Photo Transistor) 등의 메사(MESA) 구조를 사용하는 화합물 반도체 소자에 다양하게 응용될 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 대해 $<01\bar{1}>$ 또는 $<011>$ 방향에 평행하게 정렬된 베이스 영역과;
상기 베이스 영역에 일정각도 경사진 베이스 패드영역과;
 $<010>$ 방향으로 정렬되고 상기 베이스 영역과 베이스 패드영역을 연결하는 베이스 피딩영역을 포함하는 기생 베이스-콜렉터 커판시턴스 감소를 위한 베이스 패드 레이아웃.

【청구항 2】

청구항 1에 있어서, 상기 베이스 패드영역은 정사각형이나 직사각형의 사각 형태인 것을 특징으로 하는 기생 베이스-콜렉터 커판시턴스 감소를 위한 베이스 패드 레이아웃

【청구항 3】

3단 메사(triple mesa) 방식으로 HBT를 제조하는 방법에 있어서;
베이스 영역과 베이스 패드영역을 분리시키고 이를 베이스 피딩영역으로 연결하여
베이스 패드 레이아웃을 형성하는 제1공정과,
준절연 InP 기판 위에 서브콜렉터 InGaAs층/식각정지 InP층/베이스-콜렉터 InGaAs
층/에미터 InP층/에미터캡 InGaAs층을 적층성장법으로 순서대로 적층하는 제2공정과,
제2공정에 의해 적층된 구조물 상에 에미터 메탈을 증착하고, 베이스 메탈이 자기
정렬이 가능하게 에미터캡 InGaAs층과 에미터 InP층을 순차적으로 식각하여 베이스-콜렉

터 InGaAs층의 상부면을 노출시킨 후, 상기 베이스 패드 레이아웃을 마스크로 이용해 베이스 메탈을 증착시키는 제3공정과,

에미터 영역을 보호하기 위한 제1포토레지스트를 베이스 영역과 베이스 피딩영역의 일부에 정의하는 제4공정과,

상기 제1포토레지스트와 베이스 메탈층을 식각마스크로 이용하여 베이스-콜렉터 InGaAs층과 식각정지 InP층을 식각하여 서브콜렉터 InGaAs층의 상부면을 노출시키고 측면 식각을 이용해 베이스 피딩 아래 부분에 공동(void)부분을 형성하는 제5공정과,

상기 서브콜렉터 InGaAs층에 콜렉터 메탈을 증착시키는 제6공정과,

에미터와 베이스 영역 아래 부분을 보호하기 위해 제2포토레지스트를 정의한 후 서브콜렉터 InGaAs층을 측면 식각하여 베이스 패드영역과 베이스 영역을 격리시키고 제2포토레지스트를 제거하는 제7공정으로 구성됨을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【청구항 4】

청구항 3에 있어서, 상기 제5공정이나 제7공정의 식각시에,

격자 방향에 따른 식각속도 차이로 인해 격자 방향에 따라 다르게 식각되는 비등방성 식각특성을 이용해서 베이스 피딩영역의 아래부분을 측면 식각함을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【청구항 5】

청구항 3에 있어서, 상기 제5공정이나 제7공정의 식각시에,

상기 식각액은 InGaAs층에 대해서는 $H_2PO_4:H_2O_2:H_2O$ 를, InP층에 대해서는 $HCl:H_3PO_4$ 를 사용하여 베이스 피딩영역의 아래부분을 측면 식각함을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【청구항 6】

청구항 3 내지 청구항 5중 어느 한 항에 있어서, 상기 제5공정이나 제7공정에서 식각 속도는 식각액의 종류, 농도 및 온도에 의해 결정됨을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【청구항 7】

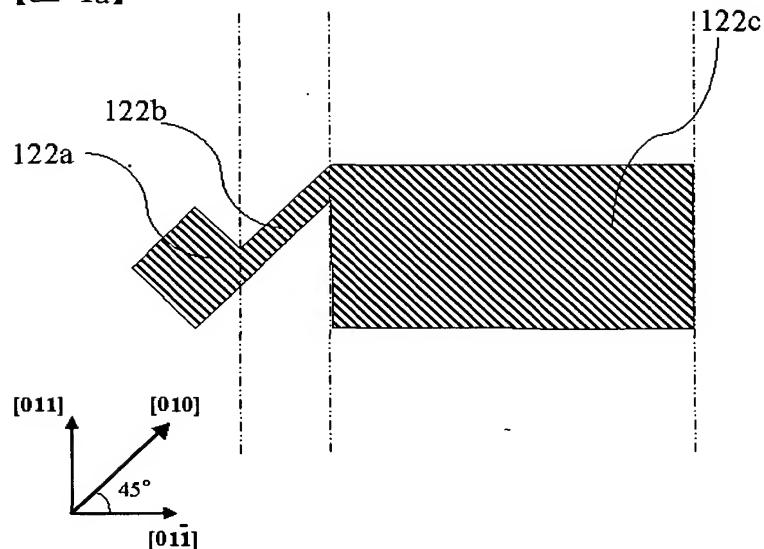
청구항 3에 있어서, 상기 제7공정에서 베이스 피딩영역 아래부분에는, 준절연 InP 기판을 제외한 적층 구조물을 식각하여 베이스-콜렉터 커패시턴스를 감소시킴을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【청구항 8】

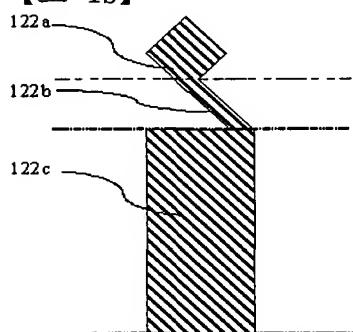
청구항 3에 있어서, 상기 HBT가 이중 HBT(Double HBT)인 경우에, 상기 베이스-콜렉터 InGaAs층은 베이스층이 되고, 식각정지 InP층은 콜렉터층이 됨을 특징으로 하는 베이스 패드 레이아웃을 이용한 HBT의 제조방법.

【도면】

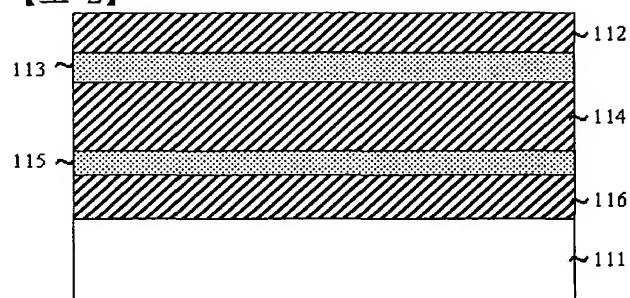
【도 1a】



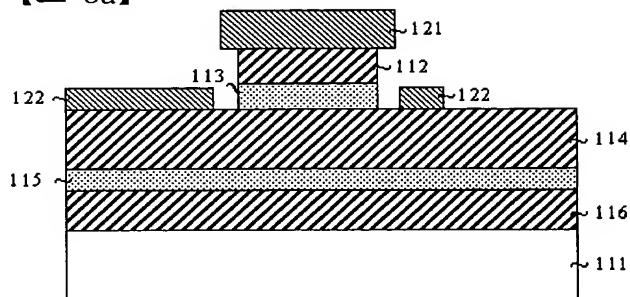
【도 1b】



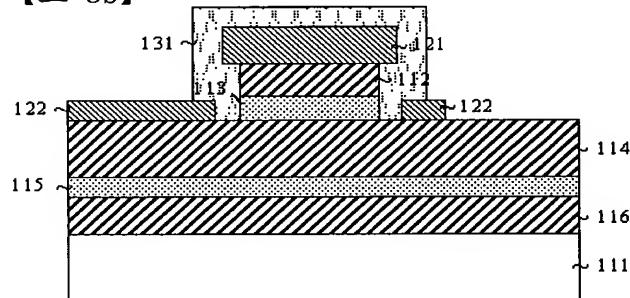
【도 2】



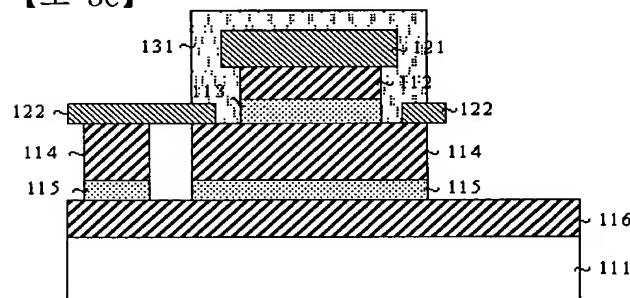
【도 3a】



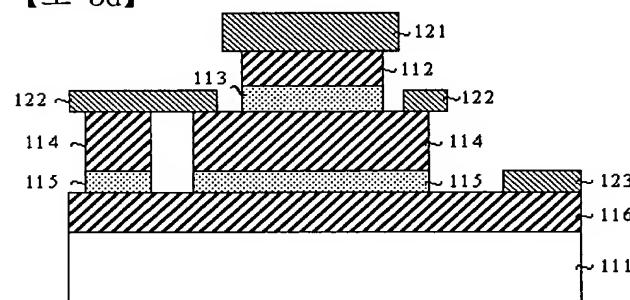
【도 3b】



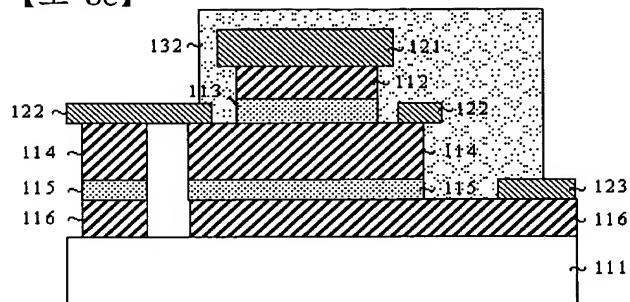
【도 3c】



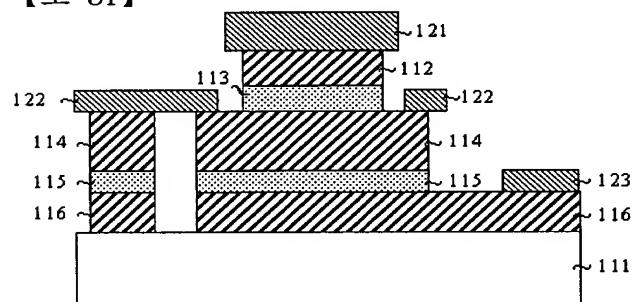
【도 3d】



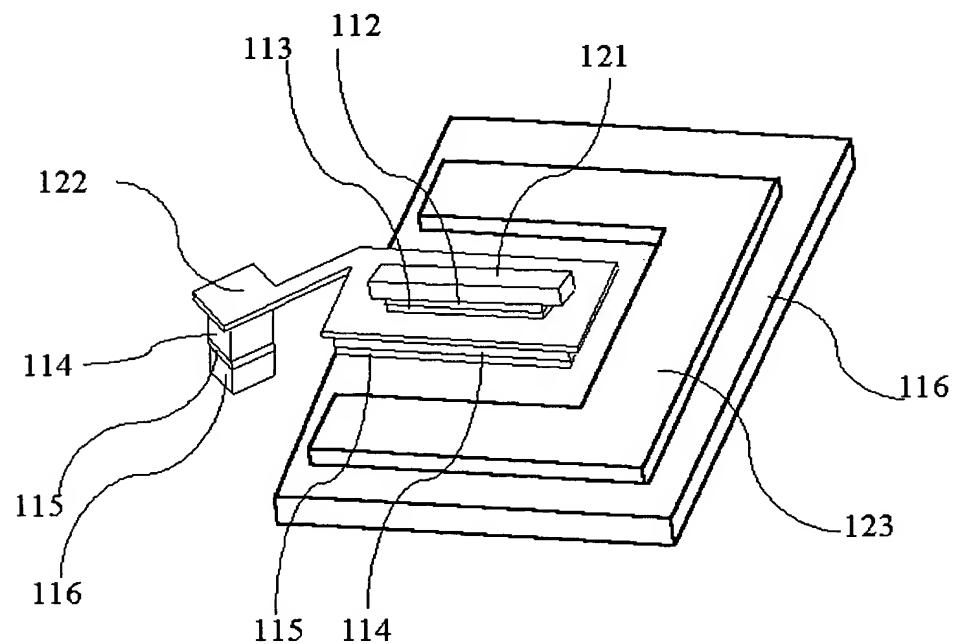
【도 3e】



【도 3f】



【도 4】



1020020070044

출력 일자: 2003/5/22

【도 5】

